

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-267927

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

G06F 12/00

G06F 13/12

(21)Application number : 11-069582

(71)Applicant : NEC KOFU LTD

(22)Date of filing : 16.03.1999

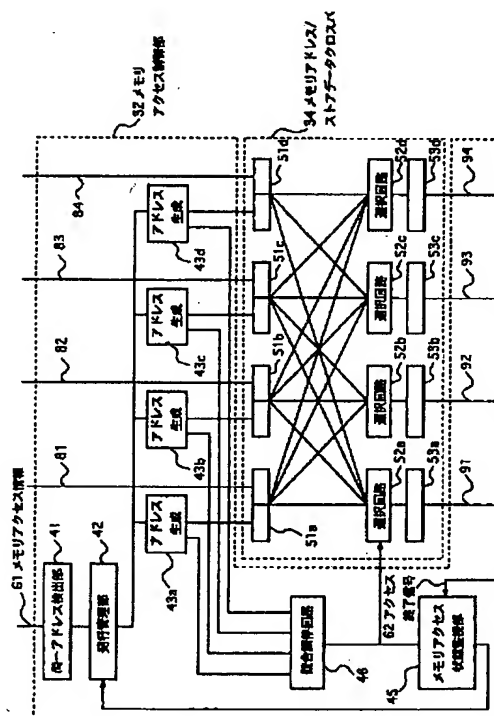
(72)Inventor : IGAWA YASUHIRO

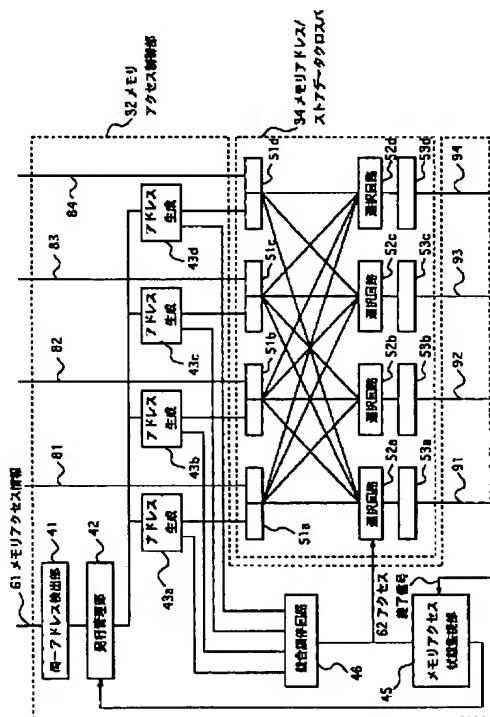
(54) MEMORY ACCESS PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory access processor capable of guaranteeing the order of transfer among plural elements having the same address in the case of accessing the memories of plural elements in parallel.

SOLUTION: The memory access processor for accessing the memories of transfer data constituted of plural data elements by a transfer instruction is provided with order guarantee means (41, 42, 45) capable of executing the memory access of plural transfer data elements included in a memory access request and having the same address.





【特許請求の範囲】

【請求項 1】 複数のデータ要素で構成された転送データを一回の転送命令でメモリアクセスするメモリアクセス処理装置において、当該処理装置が、一のメモリアクセスリクエスト内に存在し同一アドレスを有する複数の転送データ要素についてのメモリアクセスを所定の順序で行うようにする順序保証手段を具えることを特徴とするメモリアクセス装置。

【請求項 2】 請求項 1 に記載のメモリアクセス装置において、前記転送データを複数の転送データ要素からなるデータブロックに分けて、このデータブロック毎にメモリアクセスを行い、前記同一アドレスを有する転送データ要素のうちの先行するデータ要素を含むデータブロックのメモリアクセスの終了を待ち合わせて後続のデータ要素を含むデータブロックのメモリアクセスを行うことによって前記順序保証を行うことを特徴とするメモリアクセス装置。

【請求項 3】 請求項 2 に記載のメモリアクセス装置において、前記データの転送を転送データの転送開始アドレス (B) と、第 1 の要素間距離 (D1) と、第 2 の要素間距離 (D2) と、第 1 の要素数 (L1) と、第 2 の要素数 (L2) とで規定される 2 ディスタンス転送で行い、前記データブロックを前記第 1 の要素間距離と前記第 1 の要素数とで決まる転送データ要素で構成したことを特徴とするメモリアクセス装置。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載のメモリアクセス装置において、当該処理装置が、一のメモリアクセスリクエスト中に同一アドレスを有する複数のデータ転送要素が存在するか否かを検出する同一アドレス検出手段を具え、当該同一アドレス検出手段が一のメモリアクセス中に同一アドレスを有する複数のデータ転送要素の存在を検出したときのみに前記順序保証を行うことを特徴とするメモリアクセス装置。

【請求項 5】 請求項 3 または 4 に記載のメモリアクセス装置において、前記同一アドレス検出手段が前記第 1 の要素間距離と第 2 の要素間距離の絶対値を比較して、
(1) 前記第 1 の要素間距離が第 2 の要素間距離より小さく ($|D1| < |D2|$)、 $D1 \times (L1 - 1)$ で実現されるエリアより前記第 2 の要素間距離 (D2) が小さい場合；

(2) 前記第 1 の要素間距離が第 2 の要素間距離より大きく ($|D1| > |D2|$)、 $D2 \times (L2 - 1)$ で実現されるエリアより第 1 の要素間距離 (D1) が小さい場合；または

(3) 前記第 1 の要素間距離と第 2 の要素間距離とが等しい ($|D1| = |D2|$) 場合；に、
一のメモリアクセスリクエスト内に同一アドレスを有する複数の転送データ有として前記順序保証を行うようにしたことを特徴とするメモリアクセス装置。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載のメ

モリアクセス処理装置において、前記順序保証動作をストア動作の時のみ行うようにしたことを特徴とするメモリアクセス処理装置。

【請求項 7】 請求項 1 ないし 6 のいずれかに記載のメモリアクセス処理装置において、前記装置が、更に、転送する要素についてのメモリアクセスを発行するメモリアクセス発行管理部と、転送データのメモリアクセス状態を監視して前記発行管理部で発行したメモリアクセスが終了したことを検出して前記発行管理部に通知するメモリアクセス状態管理部とを具え、前記順序保証を行う場合に、先行する要素を含むデータブロックのメモリアクセスの終了を前記メモリアクセス状態管理部で確認した後に、前記メモリアクセス発行管理部が後続の要素を含むデータブロックのメモリアクセスを発行するようにした事を特徴とするメモリアクセス処理装置。

【発明の詳細な説明】

【0001】

【発明の属する 術分野】本発明は、メモリアクセス装置に関するものであり、特に、一ド間でのデータ転送に好適に用いられるメモリアクセス装置に関する。

【0002】

【従来の 術】複数のプロセッサと共有メモリを有する一ドにおいては、一ド内の命令処理性能が高いため、一ド間のデータ転送においても高いデータ転送性能が求められる。

【0003】この一ド間のデータ転送性能は、マシンサイクルによる転送速度を上げることと、転送データのデータ幅を拡大して一度に転送できるデータ量を増やすことで向上させることができる。転送データ幅を拡大して一ド間のデータ転送性能を向上させる場合には、一ド間の転送データ幅の拡大と共に一ド内のメモリ転送性能も向上させる必要がある。

【0004】このような一ド間におけるデータ転送方式の一例が特開平 5-108581 号公報に開示されている。この公報には、マルチプロセッサシステムの分散メモリを一つのドとした装置が記載されている。ここでは、プロセッサ内に設けた一ド間データ転送制御部からそのプロセッサが所有する分散メモリに対してアクセスする際に、二次元配列データの一部で与るサブアレイデータを 1 回の転送命令の発行でアクセスするようにしている。すなわち、転送開始アドレス (B)、第 1 の要素間距離 (D1) および第 2 の要素間距離 (D2) によって規定されるサブアレイデータについて当該サブアレイデータを構成する要素毎に順次メモリアドレスを生成し、メモリアクセスリクエストを発行してデータの転送を行うようにしている。

【0005】

【発明が解決しようとする課題】しかし、この転送方式では、データ幅が大きい場合、例えば 2 ディスタンス転送などで複数の要素を並列にメモリ転送する場合に、転

送順序が保証されないことがある。

【0006】すなわち、一のメモリリクエスト内に同一アドレスを持つ要素が複数存在する場合、これら要素間でアクセス順序が保証されず先行するメモリアクセス要素を、後に発行した要素が追い越してメモリアクセスする場合がある。同一アドレスを有する要素間でこのような追い越しが発生すると、本来後続の要素が書き込まれているはずのアドレスに先行する要素が上書きしてしまうことになり、ソフトウェアが期待するメモリ動作がなされないという問題がある。

【0007】本発明は、この問題を解決して、一ドメイン転送において複数の要素を並列にメモリアクセスする場合に、同一アドレスを有する複数の要素間で転送順序を保証して、メモリ動作が正しく行われるようにしたメモリアクセス処理装置を提供するものである。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明のメモリアクセス処理装置は、複数のデータ要素で構成された転送データを一回の転送命令でメモリアクセスするメモリアクセス処理装置において、当該処理装置が、一のメモリアクセスリクエスト内に存在し同一アドレスを有する複数の転送データ要素についてのメモリアクセスを所定の順序で行うようにする順序保証手段を具えることを特徴とする。

【0009】このように、本発明のメモリアクセス処理装置は、一のメモリアクセスリクエスト内に存在し、同一アドレスを有する転送データ要素について順序保証を行い、これらの要素間において後続する要素が先行する要素に先立ってメモリアクセスすることがないようにして、ソフトウェアの期待するメモリ動作を正確に実現できるようにしている。

【0010】また、本発明のメモリアクセス装置は、前記転送データを複数の転送データ要素からなるデータブロックに分けて、このデータブロック毎にメモリアクセスを行い、前記同一アドレスを有する転送データ要素のうちの先行するデータ要素を含むデータブロックのメモリアクセスの終了を待ち合わせて後続のデータ要素を含むデータブロックのメモリアクセスを行うことによって前記順序保証を行うことを特徴とする。

【0011】ブロック毎に転送を行うことによって、データの転送性能を高めることができ、同一アドレスを有する転送データ要素のうちの先行する要素を含むデータブロックのメモリアクセス終了を待ち合わせて、後続のデータ要素を含むデータブロックのメモリアクセスを行うことによって、データ間の順序保証を好適に行うことができる。

【0012】更に、本発明のメモリアクセス装置は、前記データの転送を転送データの転送開始アドレス（B）と、第1の要素間距離（D1）と、第2の要素間距離（D2）と、第1の要素数（L1）と、第2の要素数

（L2）とで規定される2ディスタンス転送で行い、前記データブロックを前記第1の要素間距離と前記第1の要素数とで決まる転送データ要素で構成したことを特徴とする。

【0013】転送の形式を2ディスタンス転送とすることにより、より効率よくデータを転送することができる。

【0014】また、本発明のメモリアクセス装置は、一のメモリアクセスリクエスト中に同一アドレスを有する複数のデータ転送要素が存在するか否かを検出する同一アドレス検出手段を具え、当該同一アドレス検出手段が一のメモリアクセス中に同一アドレスを有する複数のデータ転送要素の存在を検出したときのみ前記順序保証を行うことを特徴とする。

【0015】すべてのメモリリクエストについて前記順序保証を行うと、メモリ転送性能の劣化を招くため、本発明の好適な実施形態では、一のメモリリクエスト内で転送するデータの要素間に同一アドレスが存在するか否かを検出して、同一アドレスの存在を検出したときのみ前記順序保証を行うようにした。

【0016】更に、本発明のメモリアクセス装置は、前記同一アドレス検出手段が前記第1の要素間距離と第2の要素間距離の絶対値を比較して、

（1）前記第1の要素間距離が第2の要素間距離より小さく（ $|D1| < |D2|$ ）、 $D1 \times (L1 - 1)$ で実現されるエリアより前記第2の要素間距離（D2）が小さい場合；

（2）前記第1の要素間距離が第2の要素間距離より大きく（ $|D1| > |D2|$ ）、 $D2 \times (L2 - 1)$ で実現されるエリアより第1の要素間距離（D1）が小さい場合；または

（3）前記第1の要素間距離と第2の要素間距離とが等しい（ $|D1| = |D2|$ ）場合；

に前記順序保証を行うようにしたことを特徴とする。

【0017】このように、同一アドレスの検出をエリア比較により近似的に行うようにすることによって、同一アドレス検出に必要なハードウェアの量を抑えることができる。

【0018】また、前記順序保証はストア動作時のみ行うようにして処理機能の劣化を防ぐことが好ましい。ロードアクセス時には要素間で追い越しが生じて、同一データを読み出すことになるので、順序保証を行う必要がないためである。

【0019】さらに、本発明のメモリアクセス処理装置は、転送する要素についてのメモリアクセスを発行するメモリアクセス発行管理部と、転送データのメモリアクセス状態を監視して前記発行管理部で発行したメモリアクセスが終了したことを検出して前記発行管理部に通知するメモリアクセス状態管理部とを具え、前記順序保証を行う場合に、先行する要素を含むデータブロックのメ

5

モリアクセスの終了を前記モリアクセス状態管理部で確認した後に、前記モリアクセス発行管理部が後続の要素を含むデータブロックのモリアクセスを発行するようにした。

【0020】このように構成することによって、要素間の追い越しが発生することなく、かつ、モリアクセス機能の劣化を招くことのないアクセス処理装置を好適に実現することができる。

【0021】

【発明の実施の形態】図1は、本発明にかかるモリアクセス処理装置を好適に適用することができる情報処理装置の構成を示す図である。情報処理装置1は、複数のード22-0~22-nと、これらのードを互いに接続するード間クロスバスイッチ21で構成されている。

【0022】各ード22は複数のプロセッサ23と、これらのード間のデータ転送を処理するード間制御部(RCU)24と、すべてのプロセッサ23とード間制御部(RCU)24とに接続された共有メモリ25とを具える。

【0023】いずれかのード内のいずれかのプロセッサ23から、そのード内のRCU24にデータ転送リクエストが送られると、各ード間のデータ転送が起動される。例えば、ード22-0の共有メモリ25-0内のデータをード22-nの共有メモリ25-0に転送する場合は、RCU24-0がプロセッサ23からデータ転送リクエストを受け取り、転送するデータを共有メモリ25-0から読み出して、これをクロスバスイッチ21に転送する。

【0024】クロスバスイッチ21は、転送されてきたデータの行き先ード(ード22-n)に応じてクロスバを切り替えて、転送先のード22-nにデータを転送する。ード22-nは、クロスバスイッチ21から送られてきた転送データをRCU24-nで受信して、これを共有メモリ25-nに書き込むことによってード間のデータ転送が実現する。

【0025】図2は、ード間制御部RCU24の詳細な構成を示す図である。上述したとおり、ード間転送を行う場合、ード間での転送速度と、転送データをメモリに書き込む速度あるいはメモリから読み出す速度が同じでないと転送性能が劣化してしまう。このため、通常、一度に転送するデータのデータ幅を広げることによってード間のデータ転送性能を向上させるようにしている。図2に示す例では、8バイトを1要素として、データ幅4要素のデータを一度にモリアクセスするようにしている。

【0026】図2に示すように、各ードに設けられたRCU24は、クロスバスイッチ21を介して他のードから送られてきた転送要求を受け取り転送制御を行っている。RCU24は、転送制御部31と、モリアク

6

セス制御部32と、データ受信バッファ33と、モリアドレス/ストアデータクロスバ34と、ロードデータクロスバ35と、データ送信バッファ36とを具えている。

【0027】ード間転送データを受信する際には、転送制御部31がクロスバスイッチ21を介して他ードからの転送要求を受け取って、モリアクセスリクエストを発行してモリアクセス制御部32へ送る。モリアクセス制御部32では、これに基づいてメモリアドレスを生成し、これをメモリアドレス/ストアデータクロスバ34に送る。

【0028】一方、データ受信バッファ33は、ード間クロスバスイッチ31を介して他ードから転送されてくるデータを一時的に格納しておく。ここでは、複数の要素を(本例では転送幅4要素分)同時に格納することができる。データ受信バッファ33に格納されたデータはメモリアドレス/ストアクロスバ34に送られる。

【0029】メモリアドレス/ストアデータクロスバ34では、データ受信バッファ33を介して他ードから送られてきたデータ(4要素)と、モリアクセス制御部32から送られてきたこの4要素に対応するメモリアドレスをクロスバにより共有メモリ25の接続ポートに転送する。この接続ポートは、各要素が示すメモリアドレスによってインターリーブされ、共有メモリ25の所定のメモリ位置と接続している。このクロスバによる転送はモリアクセス制御部32によって制御されている。

【0030】共有メモリ25では、メモリアドレス/ストアクロスバ34から送られてきたアドレス位置にデータを書き込むことにより、ード間受信データを格納する。

【0031】また、他ードへデータを送信する際には、ード間データ転送制御部31が、ード22内のいずれかのプロセッサ23からデータ送信リクエストを受け取り、モリアクセス制御部32に対してメモリロードリクエストを発行する。モリアクセス制御部32は、このメモリロードリクエストから4要素分のロードアドレスを生成してメモリアドレス/ストアクロスバ34に送る。メモリアドレス/ストアクロスバ34は、このアドレスを共有メモリ25の所定の位置に接続されたポートに送り、共有メモリ25では送られてきたアドレスに従ってメモリからデータを読み出して、これをロードデータクロスバ35の接続ポートに送る。

【0032】ロードデータクロスバ35は、モリアクセス制御部32の制御の下、このデータをデータ送信バッファ36に送り、データ送信バッファ36は、ード間データ転送制御部31の制御に基づいて、このデータをード間クロスバスイッチ21に送信する。クロスバスイッチ21がこのデータを指示された転送先ードに転送することにより、データ送信が終了する。

【0033】図3は、メモリアクセス制御部32とメモリアドレス／ストアデータクロスバ34の詳細な構成を示す図である。

【0034】図3に示すとおり、メモリアクセス制御部32は、同一アドレス検出部41と、発行管理部42と、アドレス生成部43a～43dと、メモリアクセス状態監視部45と、競合調停部46とを具える。一方、メモリアドレス／データクロスバ34は、第1のレジスタ51a～51dと、選択回路52a～52dと、第2のレジスタ53a～53dとを具える。

【0035】同一アドレス検出部41は、一ド間データ転送制御部31からのメモリアクセス情報61を受け取って、後述するエリア比較により、一のメモリリクエスト内に同一アドレスにアクセスする複数のデータ要素が存在するか否かを検出する。

【0036】メモリアクセス情報61は、転送データの転送開始アドレス(B)、第1の要素間距離(D1)、第2の要素間距離(D2)、第1の要素数(L1)および第2の要素数(L2)とからなる。

【0037】同一アドレス検出部41は、一のリクエスト内に同一アドレスにアクセスする要素が複数あることを検出した場合、発行管理部42に同一アドレス信号を通知する。発行管理部42は、第1の要素間距離D1及び第1の要素数L1で表される要素群を1ブロックとして、このブロック単位でメモリアクセス命令を発行する。同一アドレス検出部41にて複数の要素について同一アドレスが存在することが検出されて、発行管理部44に通知されると、発行管理部44では一ブロックのメモリアクセスが終了する毎に発行したすべての要素についてのメモリアクセスが終了するまで、次のブロックのメモリアクセスを行わず、待ち合わせを行う。

【0038】メモリアクセス状態監視部45では、共有メモリ25に発行したメモリアクセスがすべて終了したか否かを、メモリ25からのアクセス終了信号62を受け取る事によって監視しており、すべての要素についてメモリアクセスが終了するとメモリアクセス終了信号62を発行管理部42に通知する。

【0039】発行管理部42では、一のリクエスト内に同一アドレスにアクセスする複数の要素が存在することを確認した場合は、一ブロックについてのメモリアクセス終了信号62が通知されるまで、後続のブロックのメモリアクセスを行わないため、同一アドレスにアクセスする複数の要素間で後続の要素が先行する要素を追い越してアクセスすることがなく、メモリアクセスの順序が要素順に保証される。なお、一のリクエスト内で同一アドレスが検出されない場合には、要素間で追い越しがなっても問題がないため、先行ブロックのメモリアクセス終了まで待ち合わせることなく、逐次メモリアクセスを発行してメモリ転送性能の向上を図るようにしている。

【0040】発行管理部42は、アドレス生成回路43

aに各要素のベースアドレス(B')を、43bに要素間距離(D)を、43cに要素間距離×2(2D)を、43dに要素間距離×3(3D)を送り、各アドレス生成回路43a～43dはこの情報に基づいて、一度にメモリアクセスする4つの要素のアドレスを生成してメモリアドレス／ストアデータクロスバ34に転送する。

【0041】ここで、ストアリクエストの場合は、アドレス生成回路43a～43dからここで生成された各アドレスが、および、データ受信バッファ33から信号線81～84を介して各要素のデータがメモリアドレス／ストアデータクロスバ34へ送られ、これらのアドレス及びデータが第1のレジスタ51a～51bに格納される。格納されたアドレス及びデータは競合調停回路46によって調停され、ポート選択回路52a～52dで選択されたポートに転送されて第2のレジスタ53a～53dに格納される。第2のレジスタに格納されたアドレス及びデータは各ポート毎に信号線91～94を介して共有メモリ25に送られ、該当するアドレス位置にデータの書き込みが行われる。

【0042】なお、ロードリクエストの場合は、データは送られずアドレスのみが共有メモリ25に送られ、このアドレス位置のデータが読み出されてロードデータクロスバ35に送られる。

【0043】要素間の追い越しは、メモリアドレス／ストアデータクロスバ34で複数要素を並列に処理しているために発生する。すなわち、各要素についてクロスバ34の入力ポートによって、メモリアクセスする経路が異なるため、先行するメモリアクセス要素を、後に発行した要素が追い越してメモリアクセスする場合はある。従って、第1ブロックと第2ブロックのメモリアクセスを連続的に行うと、これらのブロックを構成している要素間で後続要素が先にメモリアクセスしてしまうことがある。同一アドレスを持つ要素間で要素間の追い越しが発生すると、本来後続ブロックの要素が書き込まれているはずのアドレスに先行ブロックの要素が上書きされてしまい、期待されるメモリアクセス動作が行われない。

【0044】この問題を解決するため、本実施形態ではブロック間で同一アドレスが存在することを確認した場合は、先行ブロックのメモリアクセス終了をメモリアクセス終了を待って後続ブロックのメモリアクセスを行なうことによってメモリアクセスの順序を確実に保証するようにしている。なお、上述したとおり、ブロック間で同一アドレスが検出されない場合は、この待ち合わせ動作を行うことなく、第1のブロックのメモリアクセス命令を発行後、連続して第2のブロックのメモリアクセス命令を発行するようにして、処理効率を上げるようにしている。

【0045】次いで、本発明の実施形態におけるメモリアクセスの待ち合わせ動作を2ディスタンス転送を例にとりて説明する。図4及び図5は、2ディスタンス転送

によって転送されるデータブロックの例を示す図である。図4に示す例では、転送データは、転送データの転送開始アドレス(B)と、第1の要素間距離(D1:本例では8バイト)、第1の要素間距離により転送する要素数(L1:本例では4要素)、第2の要素間距離(D2:本例では64バイト)および第2の要素間距離により転送する要素数(L2:本例では4要素)で設定されており、これらB、D1、D2、L1、L2で規定される全要素が一括して転送される。ここで、第1の要素間距離と第1の要素数によって示されるアドレス範囲を1つのブロックとしており、第2の要素間距離D2は、各ブロックの先頭要素間の距離、また、第2の要素間距離により転送する要素数はこの第2の要素間距離で転送されるブロック数である。図4において、上記B、D1、D2、L1、L2で転送されるデータの範囲は太線で囲まれた要素である。

【0046】この例では、転送データはD1およびL1で示されるブロック、すなわちe00、e01、e02、d03の4つの要素でなる第1ブロック、e04、e05、e06、e07の要素でなる第2のブロック、e08、e09、e10、e11の要素でなる第3のブロック、およびe12、e13、e14、e15の要素でなる第4のブロックの、4つのブロックで構成されており、ここでD1が0でない限り各要素が同一アドレスにアクセスすることはない。従って、この設定では、上述した要素間の追い越しを意識することなくメモリアクセスすることができる。

【0047】一方、図5(a)に示す例では、第1の要素間距離D1(8バイト)、第2の要素間距離D2(16バイト)、第1の要素数L1(4要素)、第2の要素数L2(5ブロック)の設定で2ディスタンス転送が行われる。ここでは、図5(b)に示すように、要素02と要素04、要素03と要素05、要素04と要素06、...、要素15と要素17とがそれぞれ同一アドレスをば有している。

【0048】このような同一アドレスを有する複数の要素を含む転データを、例えば4要素を同時に処理できるクロスバを用いてメモリに格納すると、入力の際には同一アドレスを有する要素02と要素04はそれぞれ別の信号線入力される(入力タイミングは異なる)が、出力の際には要素02と04が同一の出力ポートに出力される。このとき、例えば、メモリにバンクビジーが生じていると、要素02と要素04とが同一タイミングで同一出力ポートへ出力しようとする。このような場合は、通常優先順位を調停して出力する要素が決定されるが、転送スループットを高めるためにラウンドロビン制御等を用いて優先順位を決定している場合は、要素04が要素02より先にメモリに出力されることがある。このような場合には、要素番号順にメモリアクセスが行われな

い、メモリに残るはずが、要素04に追い越された要素02のデータがメモリに残ってしまい、ソフトウェアの期待するメモリ動作が実行されない。

【0049】このように、図5に示す設定(第1要素間距離D1:8バイト、第2要素間距離D2:16バイト、第1要素数L1:4要素、第2要素数L2:5ブロック)で2ディスタンス転送が行われると、一のメモリアクセス内に同一アドレスが存在することになり同一アドレスを有する要素間で追い越しが発生する。本実施形態では、この追い越しの発生を防ぐために、先行ブロックのメモリアクセスの終了を待ち合わせて後続ブロックのメモリアクセスを行うようにしている。

【0050】すなわち、図5に示す例では、要素00-03、要素04-07、要素08-11、要素12-15、要素16-19と、第2要素間距離D2で区切られる要素グループ(ブロック)を待ち合わせを行う処理単位として、第1のグループ(要素00-03)を最初にメモリアクセスして、このメモリアクセスの終了を待って第2のグループ(要素04-07)のメモリアクセス命令を発行するようにしている(以下、第3、第4、第5グループについても同様)。この待ち合わせを行うことにより、第1グループの要素02のメモリアクセス処理を第2グループの要素04のメモリアクセス処理が追い越すことがなくなり(以下、第3、第4、第5グループについても同様)、順序保証を行うことができる。

【0051】ただし、この待ち合わせ処理を行うと、先行ブロックのメモリアクセス終了まで次のブロックのメモリアクセスが行われなため、メモリアクセスの性能的には不利なものとなる。そこで、本発明の装置では、一度に転送する要素のうち複数の要素に同一アドレスがあるかどうかを検出して、上述の待ち合わせ処理を、同一アドレスを有する要素がある場合にのみ行うようにしている。

【0052】図6は、図3に示す同一アドレス検出回路41における同一アドレス検出動作を説明するための図である。2ディスタンスデータ転送を行う時には、1ド間データ転送制御部31から転送開始アドレスB、第1要素間距離D1、第2要素間距離D2、第1要素数L1、第2要素数L2が設定されたメモリアクセスリクエスト61が同一アドレス検出回路41に送られてくる。同一アドレス検出回路41では、第1要素間距離D1と第2要素間距離D2の絶対値の比較を行い、更に、以下のエリア比較を行って、同一アドレスを有する要素が存在するか否かの検出を行っている。

【0053】ここで、 $|D1| < |D2|$ の場合で、 $D1 \times (L1 - 1)$ で実現されるエリア以上にD2が大きい場合は、複数要素が同一アドレスにアクセスすることがない。この場合、同一アドレス検出部41は、発行管理部42に同一アドレス無しとしてリクエストを送る。発行管理部42では、これを受けて、データ転

送時にブロック毎の順序保証動作を行わず順次メモリアクセスを発行する。

【0054】なお、 $|D1| < |D2|$ の場合で、 $D1 \times (L1 - 1)$ で実現されるエリアより $D2$ が小さい場合は、同一アドレスに複数要素がアドレスする可能性が異なるため、同一アドレス検出回路 41 は発行管理部 42 に対して同一アドレス有との報告を行う。発行管理部 42 ではこの報告を受けて、ブロック毎に状態監視部 16 の処理終了信号を待ち合わせて、後続ブロックのリクエストを発行するようにして、順序保証を行う。

【0055】同様に、 $|D1| < |D2|$ の場合で、 $D2 \times (L2 - 1)$ で実現されるエリア以上に $D1$ が大きい場合は、複数要素が同一アドレスにアクセスすることがなく、また、 $|D1| < |D2|$ の場合で、 $D2 \times (L2 - 1)$ で実現されるエリア以上に $D1$ が小さいと同一アドレスにアクセスする可能性が異なる。従って、 $D2 \times (L2 - 1)$ で実現されるエリアに対する $D1$ の大きさに応じて発行管理部 1012 に同一アドレス有、あるいは同一アドレス無の報告を行う。

【0056】なお、 $|D1| = |D2|$ の場合は、同一アドレスへのアクセスとなるので、発行管理部 42 に同一アドレス有の報告を行う。

【0057】このように、同一アドレスの検出をエリア比較により近似的に行うことによって、検出に必要なハードウェア量を小さく抑えることができる。

【0058】なお、ロードアクセス時には、要素間で追い越しが異なっても同一データを読み出すことになり何ら問題が生じないため、本例では、共有メモリへのストア動作時にのみこの順序保証動作を行うようにしている。発行管理部 42 では、ロード動作かストア動作かを判断

して、順序保証を行うか否かの制御を行う。

【0059】このように、メモリストア時にのみ順序保証を行うようにすることにより、順序保証動作によるメモリ転送性能の劣化を最小限に抑えることができる。

【0060】

【発明の効果】上述したとおり、本発明のメモリアクセス処理装置では、必要に応じて転送データ要素についてメモリアクセスの順序保証を行うようにしているため、一のメモリアクセスリクエスト内に同一アドレスを有する要素が複数存在するような場合でも、期待されるメモリ動作を正しく行うことができる。また、同一アドレスを有する要素が複数存在するか否かを検出して、このよ

うな要素が存在する場合にも前記順序保証を行うようにしているため、データの転送性能を大幅に劣化させることがない。更に、同一アドレスを有する要素が複数存在するか否かの検出をエリア比較を用いて近似的に行うようにしているため、順序保証を行うために必要なハードウェア量を抑えることができる。

【図面の簡単な説明】

【図 1】図 1 は、本発明のメモリアクセス処理装置を適用する情報処理装置の構成を示す図である。

【図 2】図 2 は、図 1 に示す情報処理装置のロード間制御部の詳細な構成を示す図である。

【図 3】図 3 は、図 1 に示す情報処理装置のメモリアクセス制御部とメモリアドレス／データクロスバの詳細な構成を示す図である。

【図 4】図 4 は、2 ディスタンス転送で転送するデータ構成の一例を示す図である。

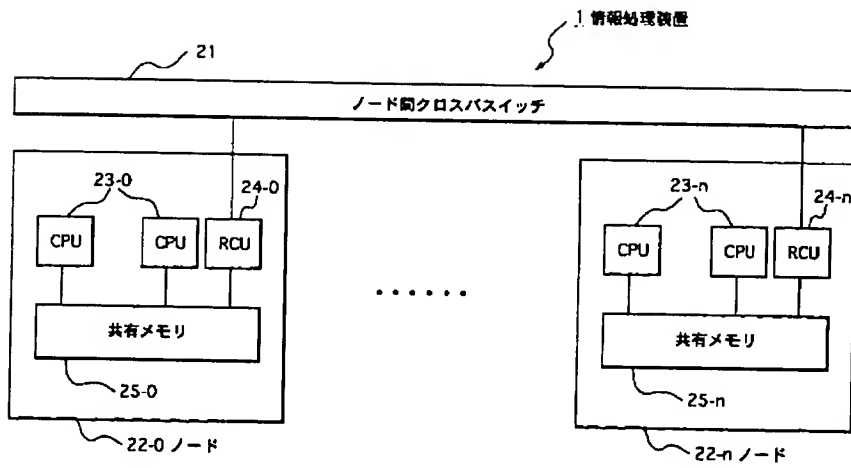
【図 5】図 5 は、2 ディスタンス転送で転送するデータ構成の他の例を示す図である。

【図 6】図 6 は、本発明の装置における同一アドレスの検出を説明するための図である。

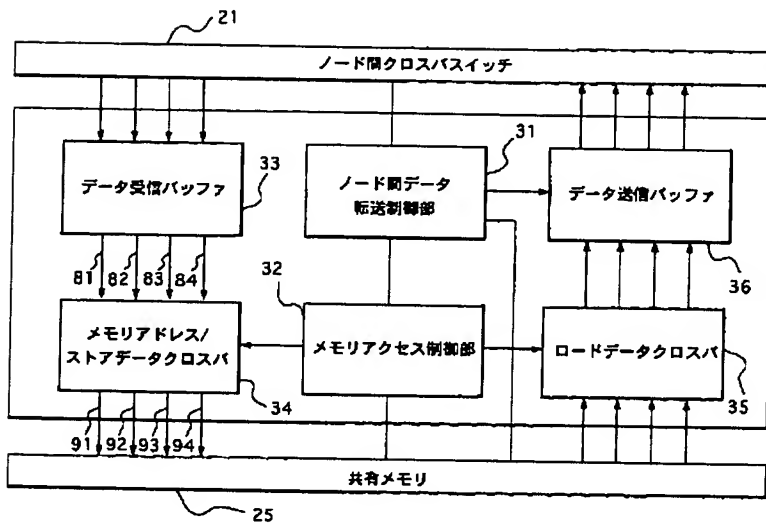
【符号の説明】

- 1 情報処理装置
- 21 クロスバスイッチ
- 22 ロード
- 23 プロセッサ
- 24 ロード間制御部
- 25 共有メモリ
- 31 転送制御部
- 32 メモリアクセス制御部
- 33 データ受信バッファ
- 34 メモリアドレス／ストアデータクロスバ
- 35 ロードデータクロスバ
- 36 データ送信バッファ
- 41 同一アドレス検出部
- 42 発行管理部
- 43 a ～ 43 d アドレス生成部
- 45 メモリアクセス状態監視部
- 46 競合調停部
- 51、53 レジスタ
- 52 選択回路
- 61 メモリアクセス情報
- 62 メモリアクセス終了信号

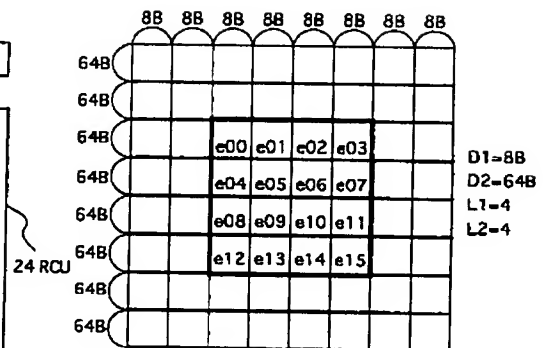
【図 1】



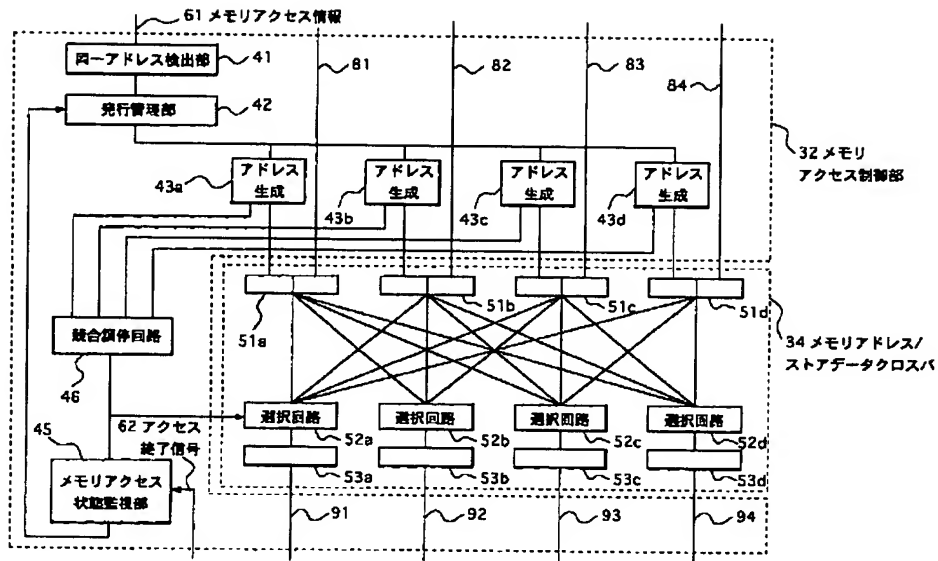
【図 2】



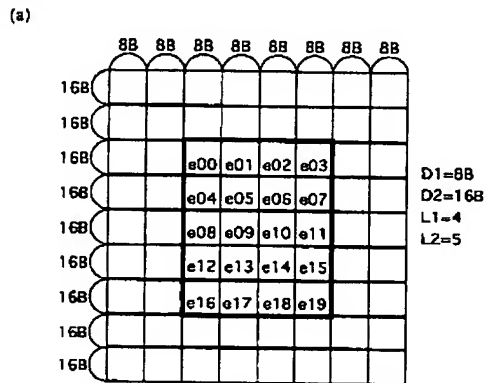
【図 4】



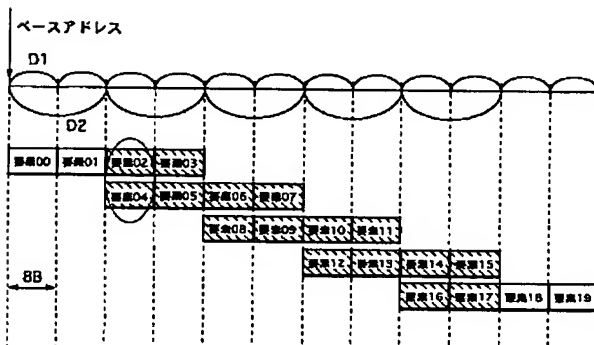
【図 3】



【図 5】



(b)



【図 6】

